

**DERWENT-ACC-NO:** 2002-222827

**DERWENT-WEEK:** 200228

*COPYRIGHT 2005 DERWENT INFORMATION LTD*

**TITLE:** Method for forming bit line of semiconductor device

**INVENTOR:** YOO, G J



**PATENT-ASSIGNEE:** HYNIX SEMICONDUCTOR INC[HYNIN]

**PRIORITY-DATA:** 2000KR-0003757 (January 26, 2000)

**PATENT-FAMILY:**

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
KR 2001076553 A	August 16, 2001	N/A	001	H01L 021/3205

**APPLICATION-DATA:**

PUB-NO	APPL-DESCRIPTOR	APPL-NO	APPL-DATE
KR2001076553A	N/A	2000KR-0003757	January 26, 2000

**INT-CL (IPC):** H01L021/3205

**ABSTRACTED-PUB-NO:** KR2001076553A

**BASIC-ABSTRACT:**

**NOVELTY** - A method for forming a bit line of a semiconductor device is provided, which enables to assure a space margin to form a side wall and to deposition a polysilicon by making a CD(Critical Dimension) control easy by varying a temperature of a cathode.

**DETAILED DESCRIPTION** - A barrier metal layer(22) and a bit line tungsten layer(23) and a cap insulation film(24) are deposited on a semiconductor substrate(21) in sequence. The barrier metal layer is formed with a titanium or a titanium nitride. An anti-reflection film and a poly hard mask are deposited on the cap insulation film in sequence, and a bit line region is defined by patterning a photoresist on the poly hard mask. And the poly hard mask and the anti-reflection film are selectively removed using the patterned photoresist as a mask, and the cap insulation film is selectively removed. The etching of the cap insulation film controls a line

width and a profile of a bit line and especially becomes a major factor in controlling a CD(Critical Dimension). And the photoresist is removed. After removing the poly hard mask and the anti-reflection film, a tungsten bit line(23a) is formed by removing the tungsten layer and the barrier metal layer selectively using the cap insulation film as a mask.

**CHOSEN-DRAWING:** Dwg.1/10

**TITLE-TERMS:** METHOD FORMING BIT LINE SEMICONDUCTOR DEVICE

**DERWENT-CLASS:** L03 U11 U14

**CPI-CODES:** L04-C06A; L04-C10F;

**EPI-CODES:** U11-D03C2; U14-C;

**SECONDARY-ACC-NO:**

**CPI Secondary Accession Numbers:** C2002-068178

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl. 7  
H01L 21/3205

(11) 공개번호 특2001-0076553  
(43) 공개일자 2001년08월16일

(21) 출원번호 10-2000-0003757  
(22) 출원일자 2000년01월26일

(71) 출원인 주식회사 하이닉스반도체  
박종섭  
경기 이천시 부발읍 아미리 산136-1

(72) 발명자 유경진  
대전광역시서구월평1동1259번지

(74) 대리인 강용복  
김용인

심사청구 : 없음

(54) 반도체 소자의 비트라인 형성 방법

요약

본 발명은 기가(Giga) 셀 개발을 위한 반도체 소자의 비트라인 형성 방법에 관한 것으로서, 반도체 기판상에 베리어 금속층, 금속층, 캡절연막, 반사방지막, 하드마스크를 차례로 증착하는 단계와, 상기 하드마스크와 반사방지막을 선택적으로 제거하는 단계와, 상기 캡절연막을 식각 장비의 캐소드 온도를 조절하여 선택적으로 제거하는 단계와, 그리고 상기 반도체 기판의 소정부분이 노출되도록 금속층과 베리어 금속층을 선택적으로 제거하여 비트라인을 형성하는 단계를 포함하여 형성함을 특징으로 한다.

대표도  
도 2g

색인어  
비트라인

명세서

도면의 간단한 설명

도 1a 내지 도 1e는 종래의 반도체 소자의 비트라인 형성 방법을 나타낸 공정 단면도

도 2a 내지 도 2g는 본 발명에 의한 반도체 소자의 비트라인 형성 방법을 나타낸 공정 단면도

도 3a 내지 도 3c는 본 발명에 의한 반도체 소자의 비트라인 형성시 캐소드 온도의 변화에 따른 캡절연막의 식각 사진

도 4는 본 발명에 의한 반도체 소자의 비트라인 형성시 캐소드의 온도 변화에 따른 CD의 변화를 나타낸 그래프

도면의 주요 부분에 대한 부호의 설명

21 : 반도체 기판 22 : 베리어 금속층

23 : 텅스텐층 23a : 텅스텐 비트라인

24 : 캡절연막 25 : 반사방지막

26 : 폴리 하드마스크 27 : 포토레지스트

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자의 제조 공정에 관한 것으로, 특히 기가(Giga) 셀 개발을 위한 반도체 소자의 비트라인 형성 방법에 관한 것이다.

이하, 첨부된 도면을 참고하여 종래의 반도체 소자의 비트라인 형성 방법을 설명하면 다음과 같다.

도 1a 내지 1e는 종래의 반도체 소자의 비트라인 형성 방법을 나타낸 공정 단면도이다.

도 1a에 도시한 바와 같이 반도체 기판(11)상에 베리어 금속층(12)과 비트라인용 텅스텐층(13)과 캡절연막(14)을 차례로 증착한다.

상기 베리어 금속층(12)은 티타늄(Ti), 티타늄나이트라이드(TiN)등을 사용한다.

도 1b에 도시한 바와 같이 캡절연막(14)상에 반사방지막(15)을 형성하고, 상기 반사방지막(15)상에 포토레지스트(16)를 도포한 후 노광 및 현상공정으로 포토레지스트(16)를 패터닝(Patterning)하여 비트라인 영역을 정의한다.

여기서, 아주 작은 피치의 비트라인을 형성하기 위해 사용되는 E-빔 패터닝공정에서는 포토레지스트의 높이가 낮게 형성되므로 정확한 패터닝을 위하여 식각대상층의 중형비 측면에서 불리함이 없다면 반사방지막(15)상에 폴리 하드마스크를 더 형성하는 것도 가능하다.

도 1c에 도시한 바와 같이 포토레지스트(16)를 마스크로 이용하여 상기 반사방지막(15), 캡절연막(14)을 선택적으로 제거하고, 도 1d에 도시한 바와 같이 상기 포토레지스트(16)를 제거한다.

도 1e에 도시한 바와 같이 상기 캡절연막(14)을 마스크로 이용하여 텅스텐층(13)과 베리어 금속층(12)을 선택적으로 식각한 후 후처리 공정을 통하여 텅스텐 비트라인(13a)을 형성한다.

발명이 이루고자 하는 기술적 과제

그러나 상기와 같은 종래의 반도체 소자의 비트라인 형성 방법에 있어서 다음과 같은 문제점이 있다.

첫째, 반도체 소자의 크기가 작아지면서 낮은 포토레지스트의 높이로 인하여 캡절연막을 식각할 때 폴리 하드마스크를 사용하게 됨으로써 중횡비(Aspect Ratio)가 증가하게 되어 비트라인의 CD(Critical Dimension) 제어가 어렵게 된다.

둘째, 후속 공정의 마진(Margin) 측면에서 캡절연막을 많이 남겨야 하는데 캡절연막 및 텅스텐층 식각을 할 때 고선택비를 가지도록 공정을 세팅하는데 어려움이 있다.

셋째, 측벽 증착을 용이하게 하기 위한 수직 프로파일(Profile)의 확보가 어렵다.

본 발명은 상기와 같은 문제점을 해결하기 위해 안출한 것으로 캡절연막 식각시 식각 장비의 공정 조건 중 캐소드의 온도를 변화시켜 CD 제어를 용이하게 하여 측벽 형성 및 폴리 증착을 위한 공간 마진 확보를 가능하게 하도록 한 반도체 소자의 비트라인 형성 방법을 제공하는데 그 목적이 있다.

#### 발명의 구성 및 작용

상기와 같은 목적을 달성하기 위한 본 발명에 의한 반도체 소자의 비트라인 형성 방법은 반도체 기판상에 베리어 금속층, 금속층, 캡절연막, 반사방지막, 하드마스크를 차례로 증착하는 단계와, 상기 하드마스크와 반사방지막을 선택적으로 제거하는 단계와, 상기 캡절연막을 식각 장비의 캐소드 온도를 조절하여 선택적으로 제거하는 단계와, 그리고 상기 반도체 기판의 소정부분이 노출되도록 금속층과 베리어 금속층을 선택적으로 제거하여 비트라인을 형성하는 단계를 포함하여 형성함을 특징으로 한다.

이하, 첨부된 도면을 참고하여 본 발명에 의한 반도체 소자의 비트라인 형성 방법을 상세히 설명하면 다음과 같다.

도 2a 내지 도 2h는 본 발명에 의한 반도체 소자의 비트라인 형성 방법을 나타낸 공정 단면도이다.

도 2a에 도시한 바와 같이 반도체 기판(21)상에 베리어 금속층(22)과 비트라인용 텅스텐층(23)과 캡절연막(24)을 차례로 증착한다.

상기 베리어 금속층(22)은 티타늄, 티타늄나이트라이드등을 사용한다.

도 2b에 도시한 바와 같이 캡절연막(24)상에 반사방지막(25), 폴리 하드마스크(26)를 차례로 증착하고, 도 2c에 도시한 바와 같이 폴리 하드마스크(26) 전면에 포토레지스트(27)를 도포한 후 E-빔을 이용한 노광공정과 현상공정으로 포토레지스트(27)를 패터닝하여 비트라인 영역을 정의한다.

도 2d에 도시한 바와 같이 상기 패터닝된 포토레지스트(27)를 마스크로 이용하여 폴리 하드마스크(26)와 반사방지막(25)을 선택적으로 제거하고, 도 2e에 도시한 바와 같이 다시 포토레지스트(27)를 마스크로 이용하여 캡절연막(24)을 선택적으로 제거한다.

이 때 캡절연막(24)은 비트라인 형성을 위해 마스크로 사용되기 때문에 캡절연막(24)의 식각은 비트라인의 선폭 및 프로파일을 조절하고, 특히 CD 제어를 하는데 중요한 요소가 된다. 그래서 상기 캡절연막(24)을 선택적으로 제거할 때 식각가스로 Ar, C<sub>4</sub>F<sub>8</sub>, O<sub>2</sub> 가스등의 유량을 적절히 조절하고, 식각장비의 캐소드 온도를 -20℃~+30℃의 범위에서 변화시켜 CD 제어를 하여 원하는 넓은 캡절연막을 얻을 수 있다.

도 2f에 도시한 바와 같이 포토레지스트(27)를 제거한다.

도 2g에 도시한 바와 같이 폴리 하드마스크(26)와 반사방지막(25)을 제거한 후, 캡절연막(24)을 마스크로 이용하여 텅스텐층(23)과 베리어 금속층(22)을 선택적으로 제거하여 텅스텐 비트라인(23a)을 형성한다.

도 3a 내지 도 3c는 본 발명에 의한 반도체 소자의 비트라인 형성시 캐소드 온도에 따른 캡절연막의 식각 사진이다.

도 3a는 캐소드 온도가  $-20^{\circ}\text{C}$ 인 경우, 도 3b는 캐소드 온도가  $10^{\circ}\text{C}$ 인 경우, 도 3c는 캐소드 온도가  $20^{\circ}\text{C}$ 인 경우, 각각의 캡절연막의 식각정도를 나타낸 것이다. 상기의 사진에서와 같이 캐소드 온도가 높아질수록 정확하게 식각이 되었음을 알 수 있다.

도 4는 본 발명에 의한 반도체 소자의 비트라인 형성시 캐소드의 온도 변화에 따른 CD값을 나타낸 그래프이다.

도 4에 도시한 바와 같이 캐소드의 온도를  $-20^{\circ}\text{C} \sim +20^{\circ}\text{C}$ 의 범위에서 변화를 시켰을 때, 캐소드 온도의 변화에 따른 최종 CD는 온도가 올라갈수록 줄어들어 변화함을 알 수 있다. 이것은 식각장비의 캐소드 온도를 조절하여 CD제어가 가능함을 나타낸다.

#### 발명의 효과

이상에서 설명한 바와 같이 본 발명에 의한 반도체 소자의 비트라인 형성 방법에 있어서 다음과 같은 효과가 있다.

첫째, 비트라인 식각시 식각장비의 조건을 변화시켜 CD 제어를 용이하게 할 수 있어 측벽 증착 및 폴리 증착 공정이 쉬워진다.

둘째, CD 제어가 용이하게 되어 비트라인 사이의 전기적 특성, 즉 정전용량 조절이 가능해진다.

셋째, 후속공정에 따른 캡절연막의 손실을 막기 위해 식각 공정에서 높은 절연막 선택비를 가지게 세팅하여 넓은 캡절연막을 얻을 수 있으므로 세정 공정, 추가 식각 및 CMP 공정을 할 때 마진을 향상시킬 수 있다.

넷째, 비트라인 간의 이격거리를 크게 형성할 수 있게 되어 PPP(Pre Poly Plug) 증착 공정이 쉬워지고, 식각할 때 마스크로 사용한 물질들의 제거도 쉬워진다.

#### (57) 청구의 범위

##### 청구항 1.

반도체 기판상에 베리어 금속층, 금속층, 캡절연막, 반사방지막, 하드마스크를 차례로 증착하는 단계;

상기 하드마스크와 반사방지막을 선택적으로 제거하는 단계;

상기 캡절연막을 식각 장비의 캐소드 온도를 조절하여 선택적으로 제거하는 단계; 그리고

상기 반도체 기판의 소정부분이 노출되도록 금속층과 베리어 금속층을 선택적으로 제거하여 비트라인을 형성하는 단계를 포함하여 형성함을 특징으로 하는 반도체 소자의 비트라인 형성 방법.

##### 청구항 2.

제 1항에 있어서,

상기 캡절연막은  $\text{Ar}$ ,  $\text{C}_4\text{F}_8$ ,  $\text{O}_2$  가스를 식각가스로 이용하여 형성함을 특징으로 하는 반도체 소자의 비트라인 형성 방법.

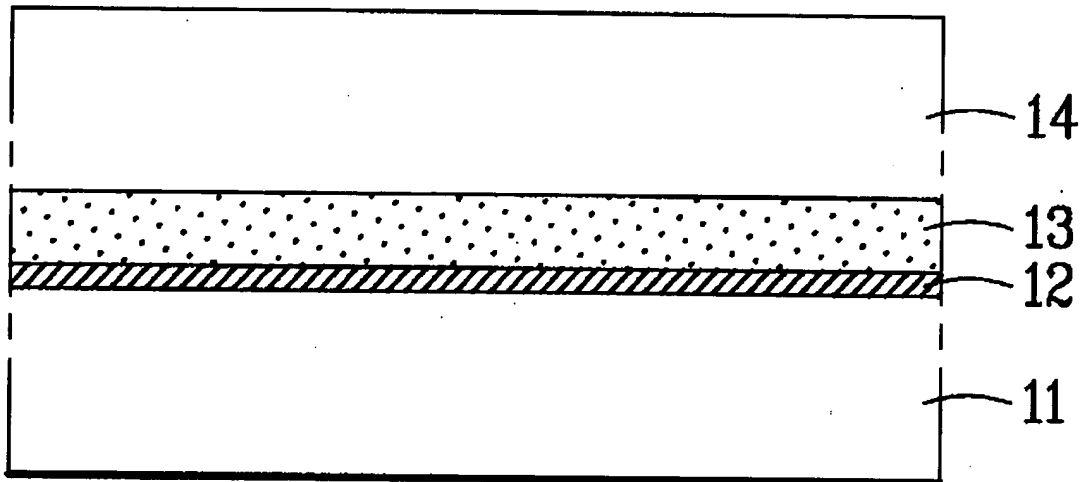
##### 청구항 3.

제 1항에 있어서,

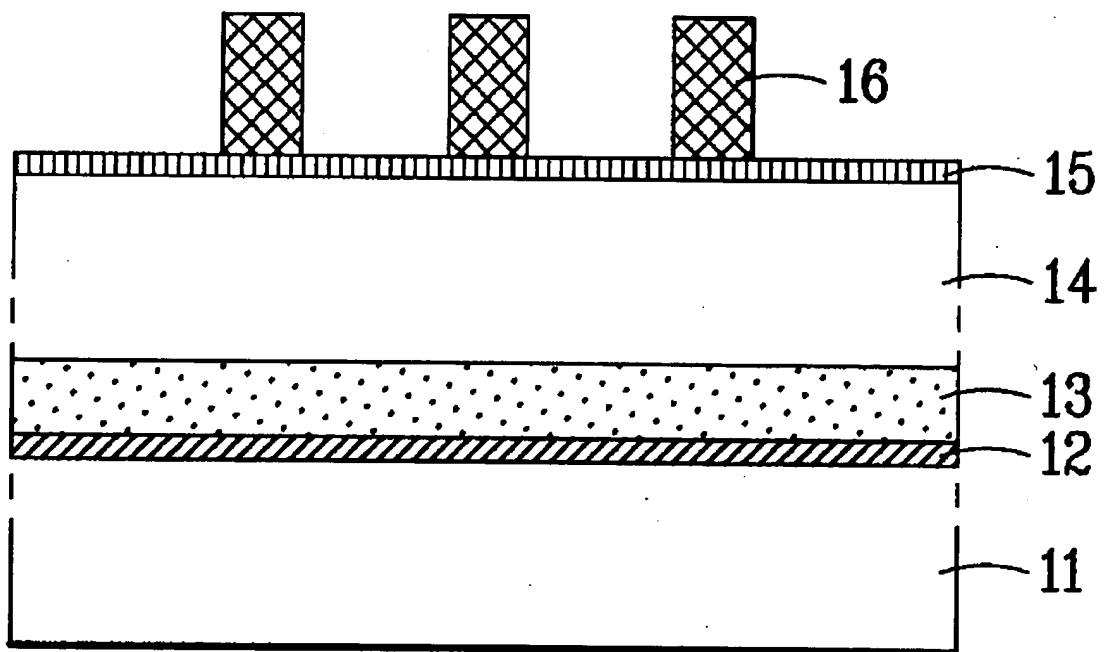
상기 캡절연막은 식각장비의 캐소드 온도를  $-20^{\circ}\text{C} \sim +30^{\circ}\text{C}$  변화시켜 CD를 제어하여 형성함을 특징으로 하는 반도체 소자의 비트라인 형성 방법.

도면

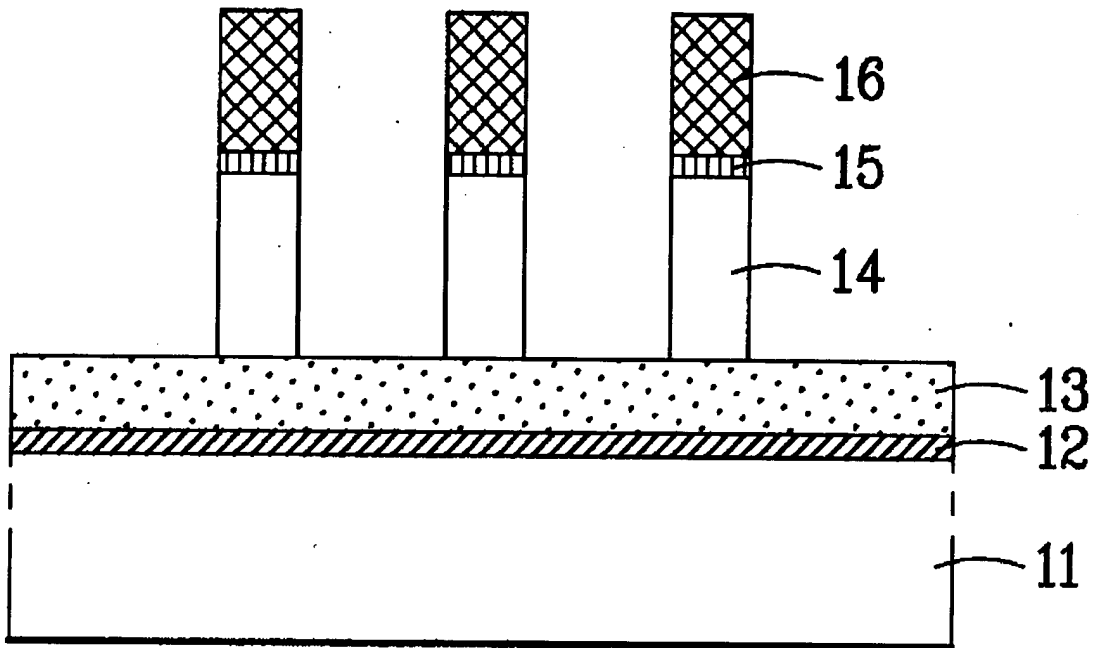
도면 1a



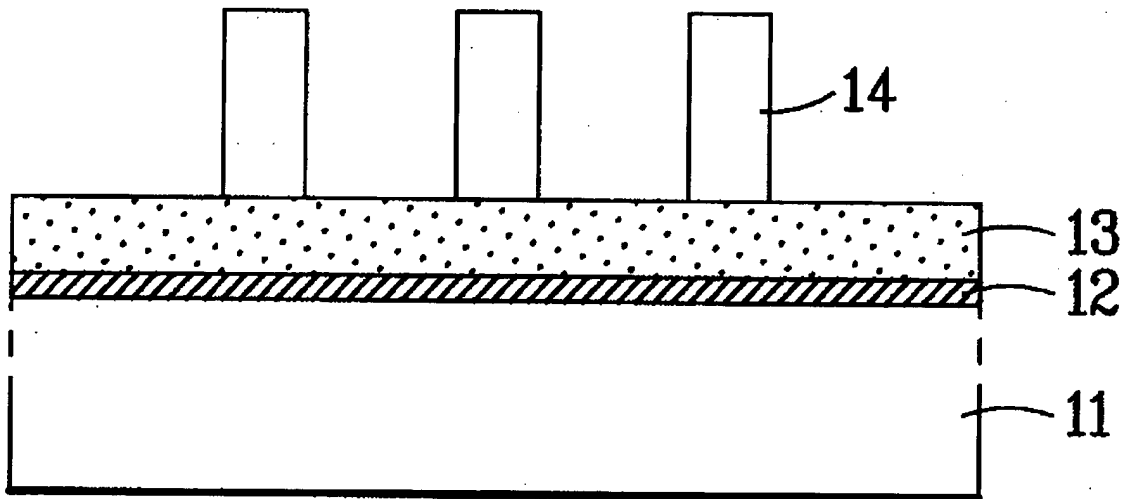
도면 1b



도면 1c

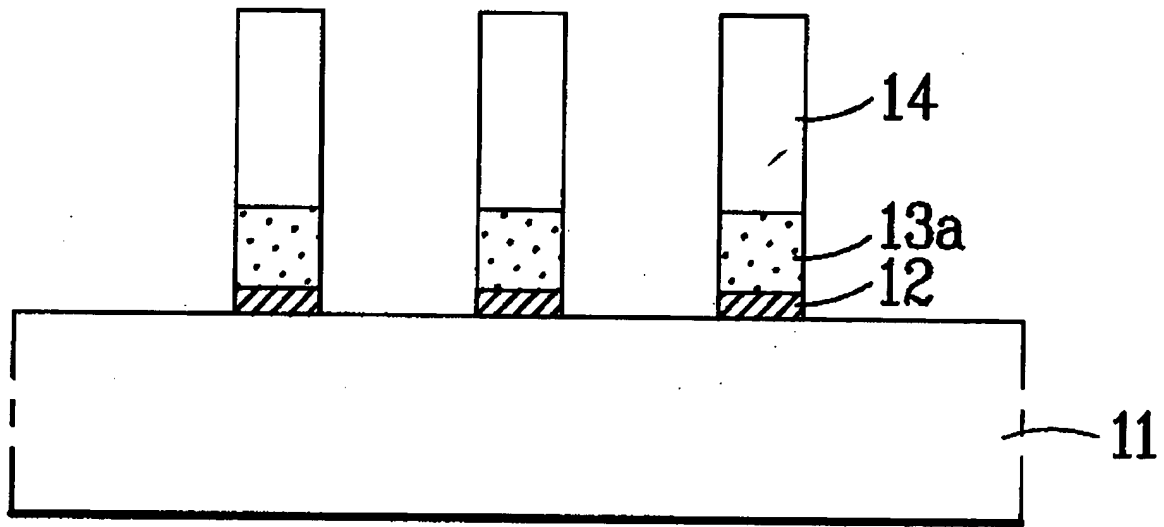


도면 1a

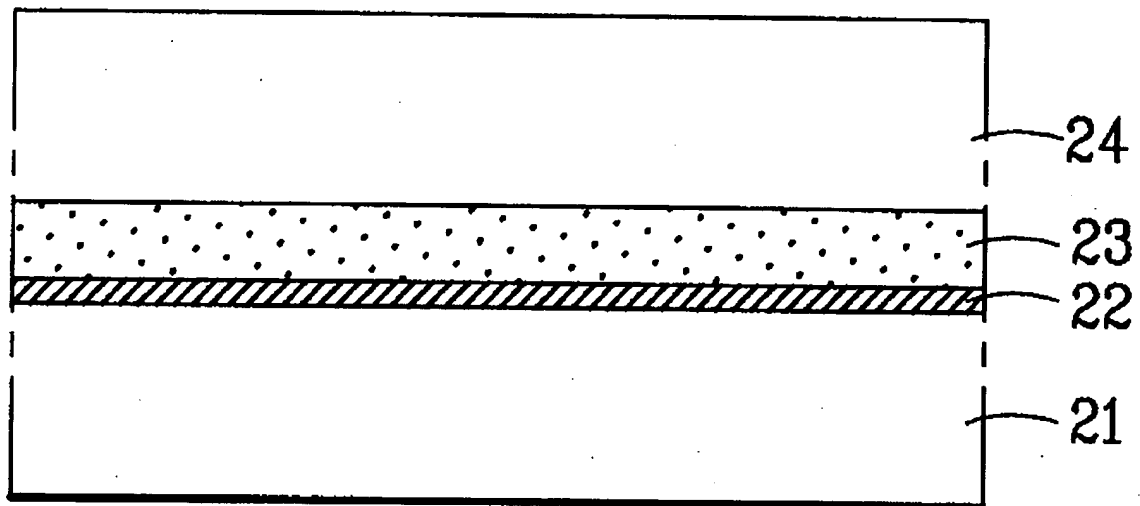




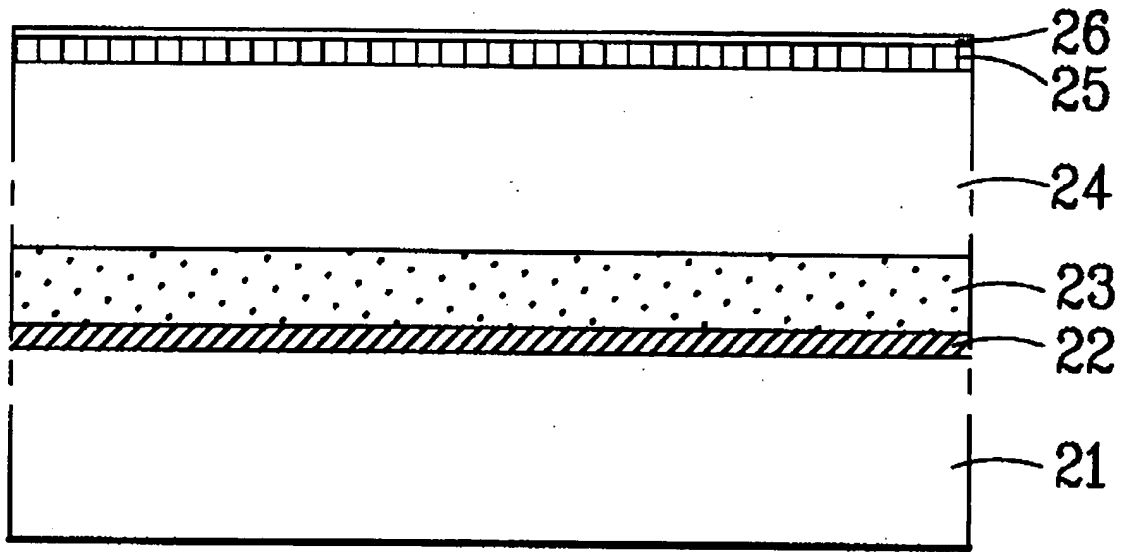
도면 1e



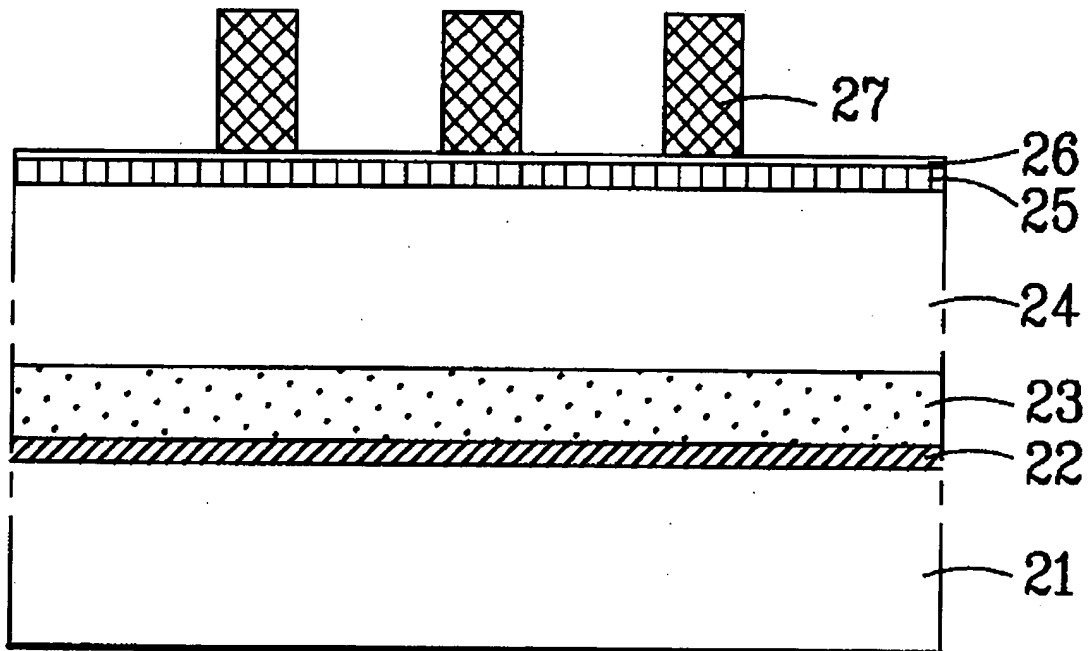
도면 2a



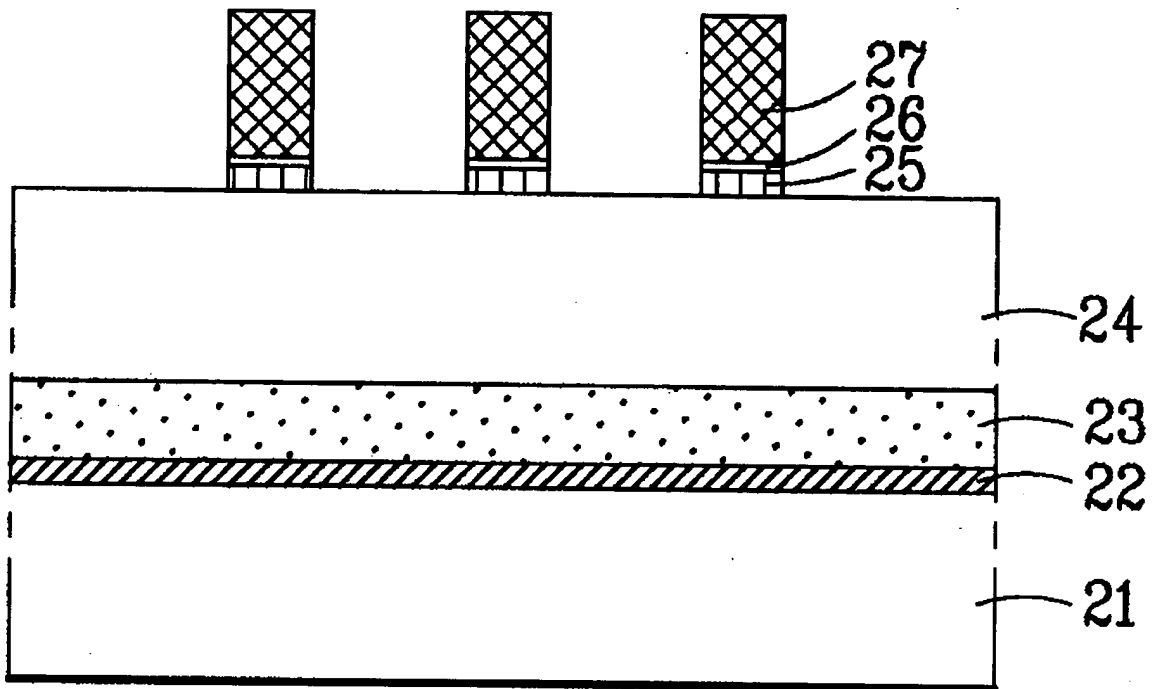
도면 2b



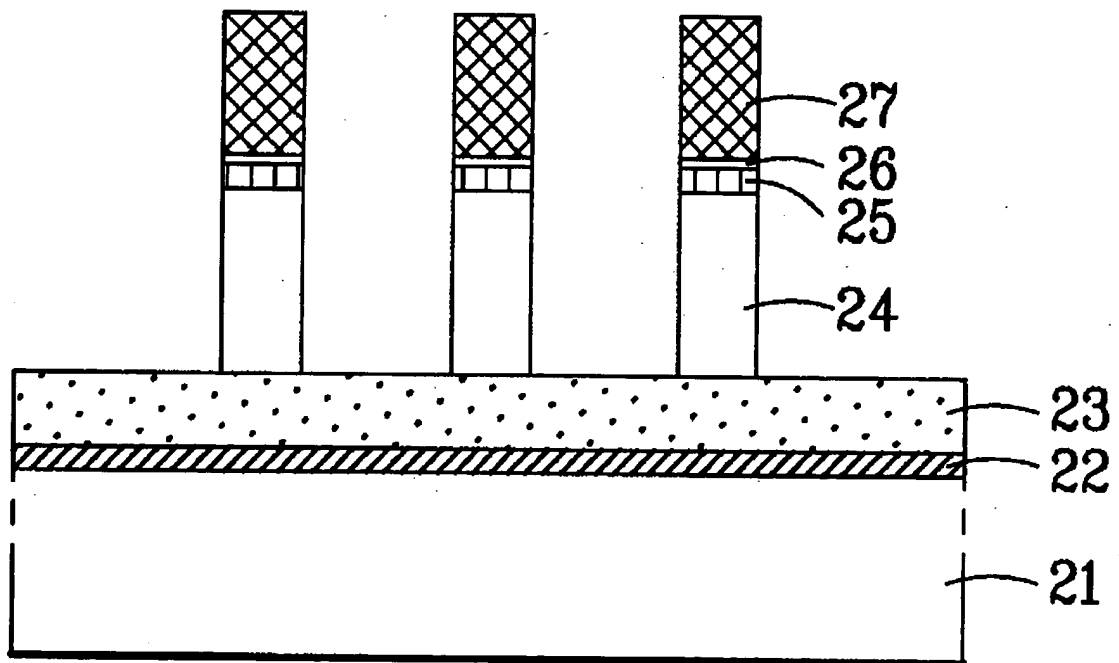
도면 2c



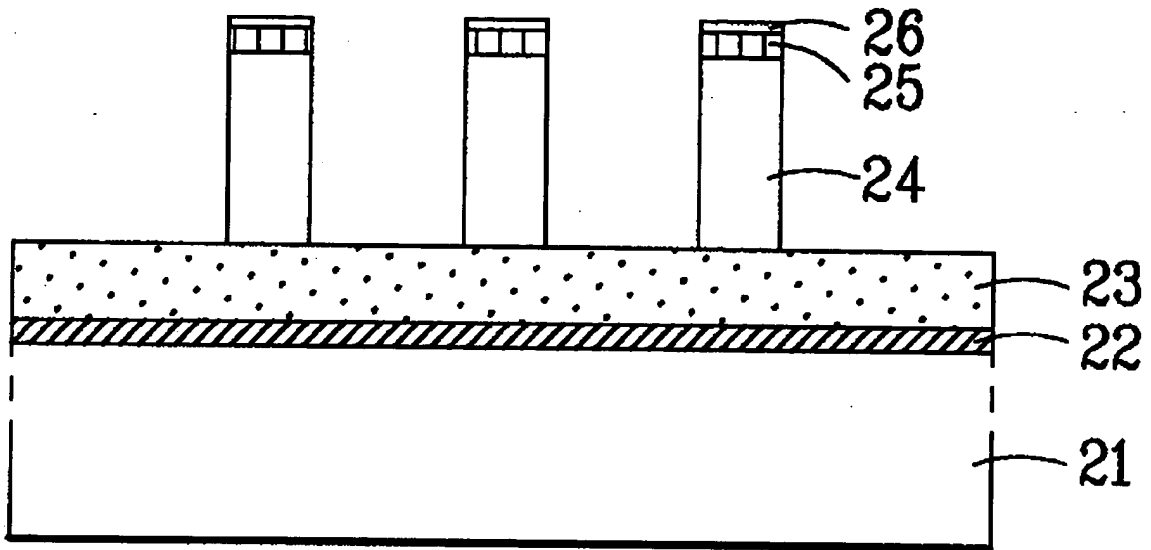
도면 2d



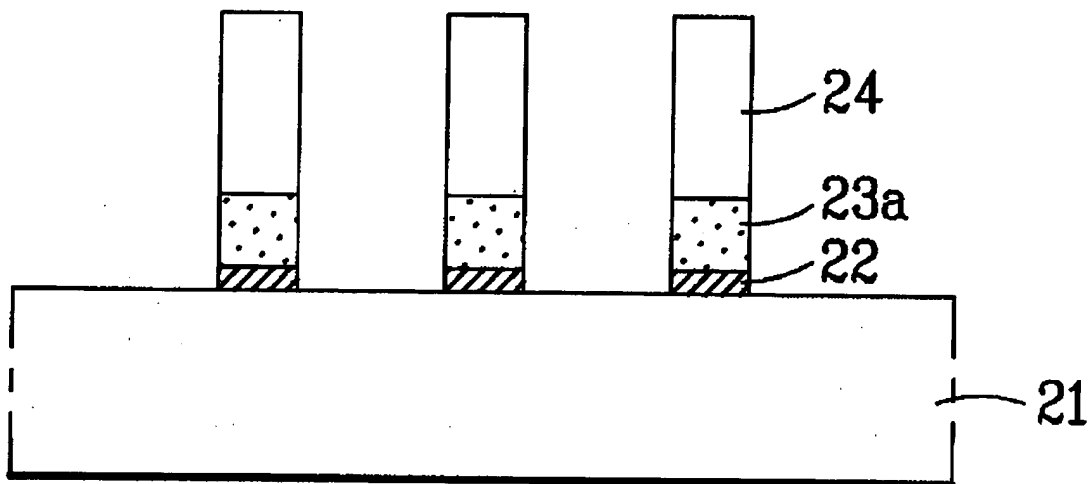
도면 2e



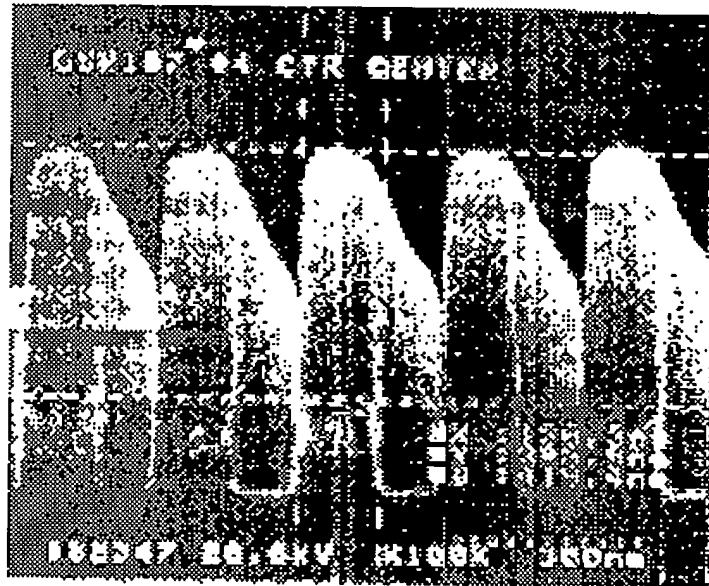
도면 2f



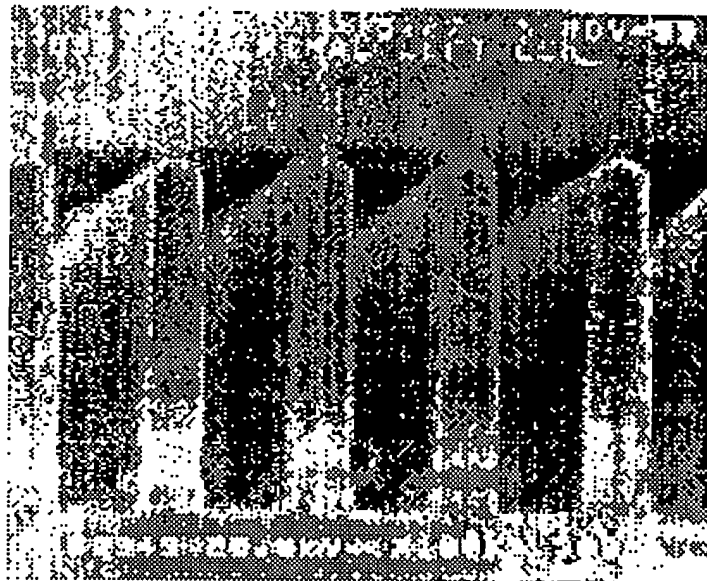
도면 2g



도면 3a



도면 3b



도면 3c



도면 4

